

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05216818 A**

(43) Date of publication of application: **27.08.93**

(51) Int. Cl. **G06F 13/40**  
**H04L 12/40**

(21) Application number: **04042390**

(71) Applicant: **NEC ENG LTD**

(22) Date of filing: **31.01.92**

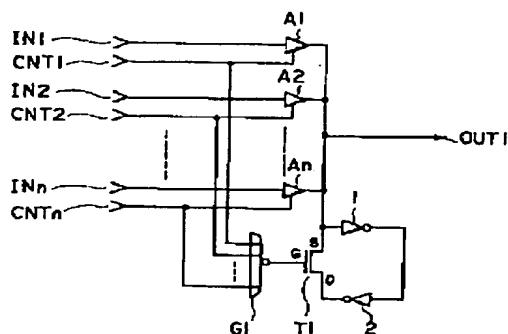
(72) Inventor: **SAITO MASAOKI**

(54) **BUS CIRCUIT**

(57) Abstract:

**PURPOSE:** To prevent a bus output from being a floating state by holding the final value of a bus signal and sending it as a bus output when all bus drivers are disabled.

**CONSTITUTION:** A NOR circuit G1, a transfer gate T1, and inverter circuits 1 and 2 constitute a signal holding circuit. When control signals inputted to control input terminals CNT1-CNTn are not all '1', the drivers A1-An are all disabled. At this time, the output of the NOR circuit G1 is '1', so the transfer gate T1 turns ON and the value right before the bus drivers A1-An are all disabled is stored in the circuit consisting of the transfer gate T1 and inverter circuits 1 and 2 and sent out as the bus output. Consequently, the bus output is prevented from being the floating state even when the bus drivers A1-An are all disabled.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-216818

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/40	3 1 0	9072-5B		
H 0 4 L 12/40		7341-5K	H 0 4 L 11/ 00	3 2 0

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-42390

(22)出願日 平成4年(1992)1月31日

(71)出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区西新橋3丁目20番4号

(72)発明者 齋藤 雅明

東京都港区西新橋三丁目20番4号 日本電  
気エンジニアリング株式会社内

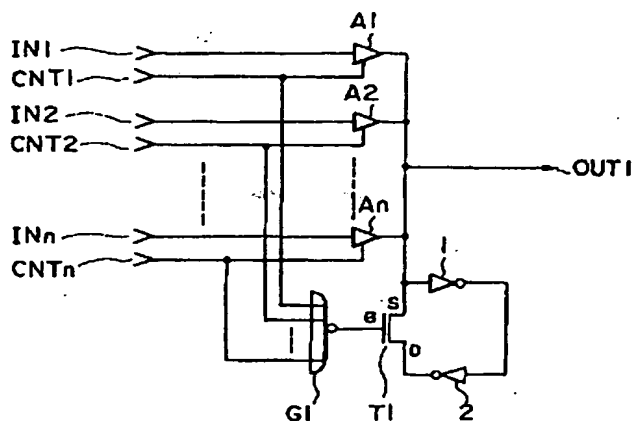
(74)代理人 弁理士 渡辺 喜平

(54)【発明の名称】 バス回路

(57)【要約】

【目的】 バス出力がフローティング状態となるのを防止できるバス回路を提供する。

【構成】 制御入力端子CNT1, CNT2, ..., CNTnから入力される制御信号が、全てのバสดライバA1, A2, ..., Anをディスエーブル状態とすると、トランスファゲートT1とインバータ回路1, 2によりバสดライバA1, A2, ..., Anが全てディスエーブル状態となる直前の信号を保持できるようにした。



## 【特許請求の範囲】

【請求項1】 入力端子からそれぞれ入力信号が入力され、制御入力端子からそれぞれ制御信号が入力されるとともに、共通接続された出力端子からバス出力信号が取り出される複数のバスドライバと、上記制御信号によって全てのバスドライバがディスエーブル状態となったときに、その直前のバス出力信号を保持しバス出力として送出する信号保持回路とを有することを特徴とするバス回路。

【請求項2】 上記制御入力端子からの全ての制御信号を入力とするゲート回路と、全てのバスドライバがディスエーブル状態となる制御信号がこのゲート回路に入力されたときに、このゲート回路の出力によってオンとなるとともに、共通接続されたバスドライバの上記出力端子にソース端子が接続されるトランスファゲートと、このトランスファゲートのソース端子が入力端に接続される第1のインバータ回路と、この第1のインバータ回路の出力を入力とし、出力端が上記トランスファゲートのドレイン端子に接続される第2のインバータ回路とから上記信号保持回路が構成されることを特徴とする請求項1記載のバス回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、MOS型半導体集積回路で構成されるバス回路に関し、特に出力がフローティング状態となるのを防げるバス回路に関する。

## 【0002】

【従来の技術】 従来のバス回路は、図5に示すように入力端子IN1, IN2, ..., INnから入力信号が、たとえばハイイネーブルの各バスドライバA1, A2, ..., Anにそれぞれ入力され、制御入力端子CNT1, CNT2, ..., CNTnからは各バスドライバA1, A2, ..., Anに制御信号がそれぞれ入力される。これらバスドライバA1, A2, ..., Anの出力端が共通に接続され、出力端子OUT2からバス出力が得られるようになっている。

## 【0003】

【発明が解決しようとする課題】 上述した従来のバス回路では、制御入力端子CNT1, CNT2, ..., CNTnから入力される制御信号によって各バスドライバA1, A2, ..., Anの制御を各々自由に行なえるようになっており、全てのバスドライバA1, A2, ..., Anがディスエーブル状態（禁止状態）となる可能性を有している。このように全てのバスドライバA1, A2, ..., Anがディスエーブル状態となると、バス出力の電位が不安定となり、消費電流が増加する。最悪の場合は、デバイスの破壊を招くようになる。

【0004】 本発明は、このような従来の技術が有する課題を解決するために提案されたものであり、バス出力がフローティング状態となるのを防止できるバス回路を

提供することを目的とする。

## 【0005】

【課題を解決するための手段】 この目的を達成するために本発明によるバス回路は、入力端子からそれぞれ入力信号が入力され、制御入力端子からそれぞれ制御信号が入力されるとともに、共通接続された出力端子からバス出力信号が取り出される複数のバスドライバと、上記制御信号によって全てのバスドライバがディスエーブル状態となったときに、その直前のバス出力信号を保持しバス出力として送出する信号保持回路とを有する構成としてあり、好ましくはこの信号保持回路は、上記制御入力端子からの全ての制御信号を入力とするゲート回路と、全てのバスドライバがディスエーブル状態となる制御信号がこのゲート回路に入力されたときに、このゲート回路の出力によってオンとなるとともに、共通接続されたバスドライバの上記出力端子にソース端子が接続されるトランスファゲートと、このトランスファゲートのソース端子が入力端に接続される第1のインバータ回路と、この第1のインバータ回路の出力を入力とし、出力端が上記トランスファゲートのドレイン端子に接続される第2のインバータ回路とから構成される。

## 【0006】

【作用】 上述した構成によれば、全てのバスドライバがディスエーブル状態となったときに、その直前のバス出力信号が信号保持回路によって保持されるので、バス出力端子がフローティング状態となるのを防止できる。

## 【0007】

【実施例】 以下、本発明によるバス回路の具体的な実施例を図面に基づき詳細に説明する。図1に、このバス回路の一実施例を示す。この図で、入力信号が入力される入力端子IN1, IN2, ..., INnは、ハイイネーブルの複数のバスドライバA1, A2, ..., Anの入力端にそれぞれ接続され、制御信号が入力される制御入力端子CNT1, CNT2, ..., CNTnがこれらバスドライバA1, A2, ..., Anの制御入力端にそれぞれ接続される。また制御入力端子CNT1, CNT2, ..., CNTnは、ゲート回路を構成するノア回路（NOR回路）G1の入力端にそれぞれ接続される。このノア回路G1の出力端は、トランスファゲートT1のゲート端子Gに接続される。このトランスファゲートT1は、ノア回路G1の出力がハイレベルのとき（“1”のとき）オンとなる。トランスファゲートT1のソース端子Sは、第1のインバータ回路1の入力端子に接続され、このインバータ回路1の出力端が第2のインバータ回路2の入力端に接続される。インバータ回路2の出力端はトランスファゲートT1のドレイン端子Dに接続される。各バスドライバA1, A2, ..., Anの出力端とトランスファゲートT1のソース端子Sとが共通接続され、出力端子OUT1に接続される。この出力端子OUT1からバス出力信号が取り出される。ここで、ノア回路G1、ト

ランスファゲートT1およびインバータ回路1, 2は、信号保持回路を構成する。

【0008】つぎに、このように構成されるバス回路の動作を説明する。制御入力端子CNT1, CNT2, ..., CNTnに入力される制御信号が全て“1”でないとき、バสดライバA1, A2, ..., Anは全てディスエーブル状態となる。このときノア回路G1の出力が“1”となるので、ランスファゲートT1がオン状態となり、バสดライバA1, A2, ..., Anが全てディスエーブル状態となる直前の値を、ランスファゲートT1とインバータ回路6, 7で構成される回路が記憶し、バス出力として送出する。これによりバสดライバA1, A2, ..., Anが全てディスエーブル状態となっても、バス出力がフローティング状態となるのを防止できる。

【0009】つぎに、図2に示す他の実施例のバス回路を説明する。この実施例では、ローインプットのバสดライバB1, B2, ..., Bnによって各バสดライバが構成されている。制御入力端子CNT1, CNT2, ..., CNTnは、ナンド回路(NAND回路)G2の入力端にそれぞれ接続され、このナンド回路G2の出力端が、“0”の入力によりオン状態となるランスファゲートT2のゲート端子Gに接続される。

【0010】この構成からなるバス回路では、制御入力端子CNT1, CNT2, ..., CNTnに入力される制御信号が全て“0”でないとき、バสดライバB1, B2, ..., Bnは全てディスエーブル状態となるとともに、ナンド回路G2は“0”を出力する。“0”の入力によりランスファゲートT2がオン状態となり、バสดライバB1, B2, ..., Bnが全てディスエーブル状態となる直前の値を、ランスファゲートT2とインバータ回路1, 2で構成される回路が記憶し、バス出力として送出する。したがって、バสดライバB1, B2, ..., Bnが全てディスエーブル状態となっても、バス出力がフローティング状態となるのを防げる。

【0011】つぎに、図3に示す他の実施例のバス回路を説明する。この実施例では、ハイインプットのバสดライバA1, A2, ..., Anによって各バสดライバが構成され、制御入力端子CNT1, CNT2, ..., CNTnがオア回路(OR回路)G3の入力端に接続される。このオア回路G3の出力端は、“0”の入力によりオン状態となるランスファゲートT2のゲート端子Gに接続される。

【0012】この構成からなるバス回路では、制御入力端子CNT1, CNT2, ..., CNTnに1箇所も“1”とならない制御信号が入力されると、バสดライバA1, A2, ..., Anは全てディスエーブル状態となる。このときオア回路G3は“0”を出力し、ランスファゲートT2がオン状態となって、バสดライバA1, A2, ..., Anが全てディスエーブル状態となる直

前の値を、ランスファゲートT2とインバータ回路1, 2で構成される回路が記憶し、バス出力として送出する。これによりバสดライバA1, A2, ..., Anが全てディスエーブル状態となっても、バス出力がフローティング状態となるのを防止できる。

【0013】つぎに、図4に示す他の実施例のバス回路を説明する。この実施例では、ローインプットのバสดライバB1, B2, ..., Bnによって各バสดライバが構成されている。制御入力端子CNT1, CNT2, ..., CNTnは、アンド回路(AND回路)G4の入力端にそれぞれ接続され、このアンド回路G4の出力端が、“1”の入力によりオン状態となるランスファゲートT1のゲート端子Gに接続される。

【0014】この構成からなるバス回路では、制御入力端子CNT1, CNT2, ..., CNTnに1箇所も“0”とならない制御信号が入力されると、バสดライバB1, B2, ..., Bnは全てディスエーブル状態となるとともに、アンド回路G4は“1”を出力する。アンド回路G4からの“1”の入力によりランスファゲートT1がオン状態となり、バสดライバB1, B2, ..., Bnが全てディスエーブル状態となる直前の値を、ランスファゲートT1とインバータ回路1, 2で構成される回路が記憶し、バス出力として送出する。これによりバสดライバB1, B2, ..., Bnが全てディスエーブル状態となっても、バス出力がフローティング状態となるのを防げる。

【0015】なお、本発明は上述した実施例に限定されず、要旨の範囲内で種々の変更実施が可能である。

【0016】

【発明の効果】以上説明したように本発明によれば、全てのバสดライバがディスエーブル状態となったときに、ディスエーブル状態となる直前の値を保持してバス出力に送出できるので、バス出力がフローティング状態となるのを防止できる。これによりバス出力の電位が安定し、消費電流が増加しないため、デバイスの破壊を防止できる。

【図面の簡単な説明】

【図1】本発明によるバス回路の一実施例を示す回路図である。

【図2】他の実施例のバス回路を示す回路図である。

【図3】さらに他の実施例のバス回路を示す回路図である。

【図4】さらに他の実施例のバス回路を示す回路図である。

【図5】従来のバス回路を示す回路図である。

【符号の説明】

A1, A2, ..., An バสดライバ  
B1, B2, ..., Bn バสดライバ  
IN1, IN2, ..., INn 入力端子  
CNT1, CNT2, ..., CNTn 制御入力端子

OUT1 出力端子

G1 ノア回路

G2 ナンド回路

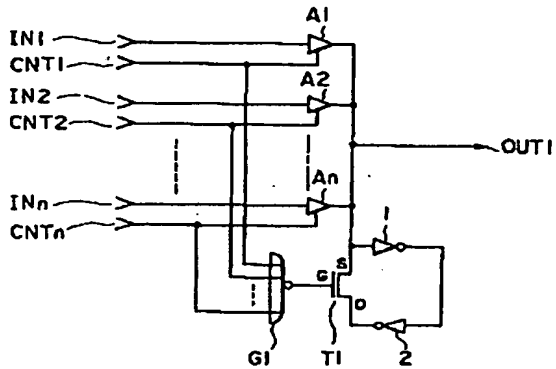
G3 オア回路

G4 アンド回路

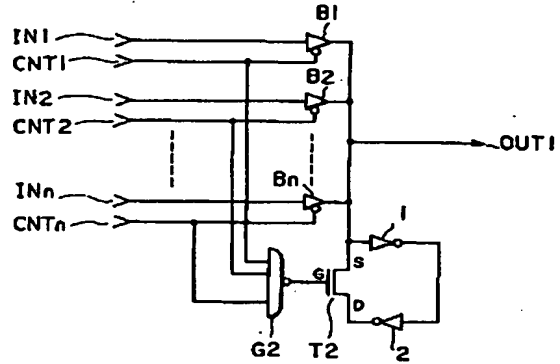
T1, T2 トランスファゲート

1, 2 インバータ回路

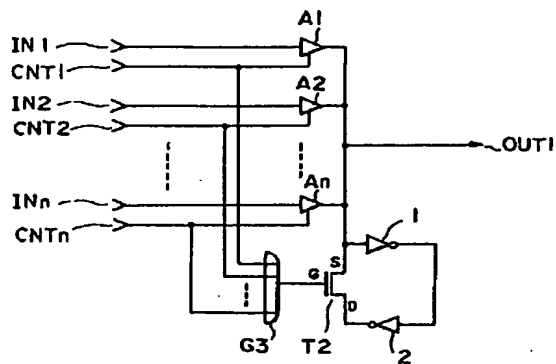
【図1】



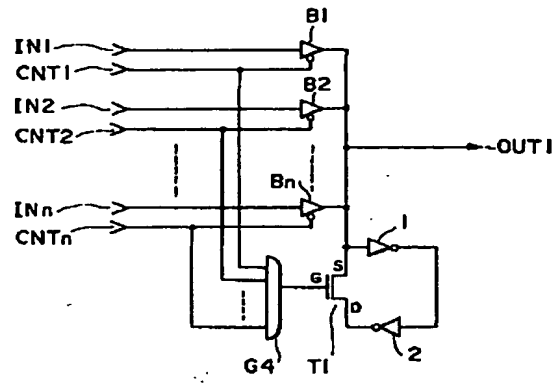
【図2】



【図3】



【図4】



【図5】

